

J. BORCZYŃSKI

P. DUMIN

A. MLIČZEWSKI



ODZESPOŁY



LEKTRONICZNE



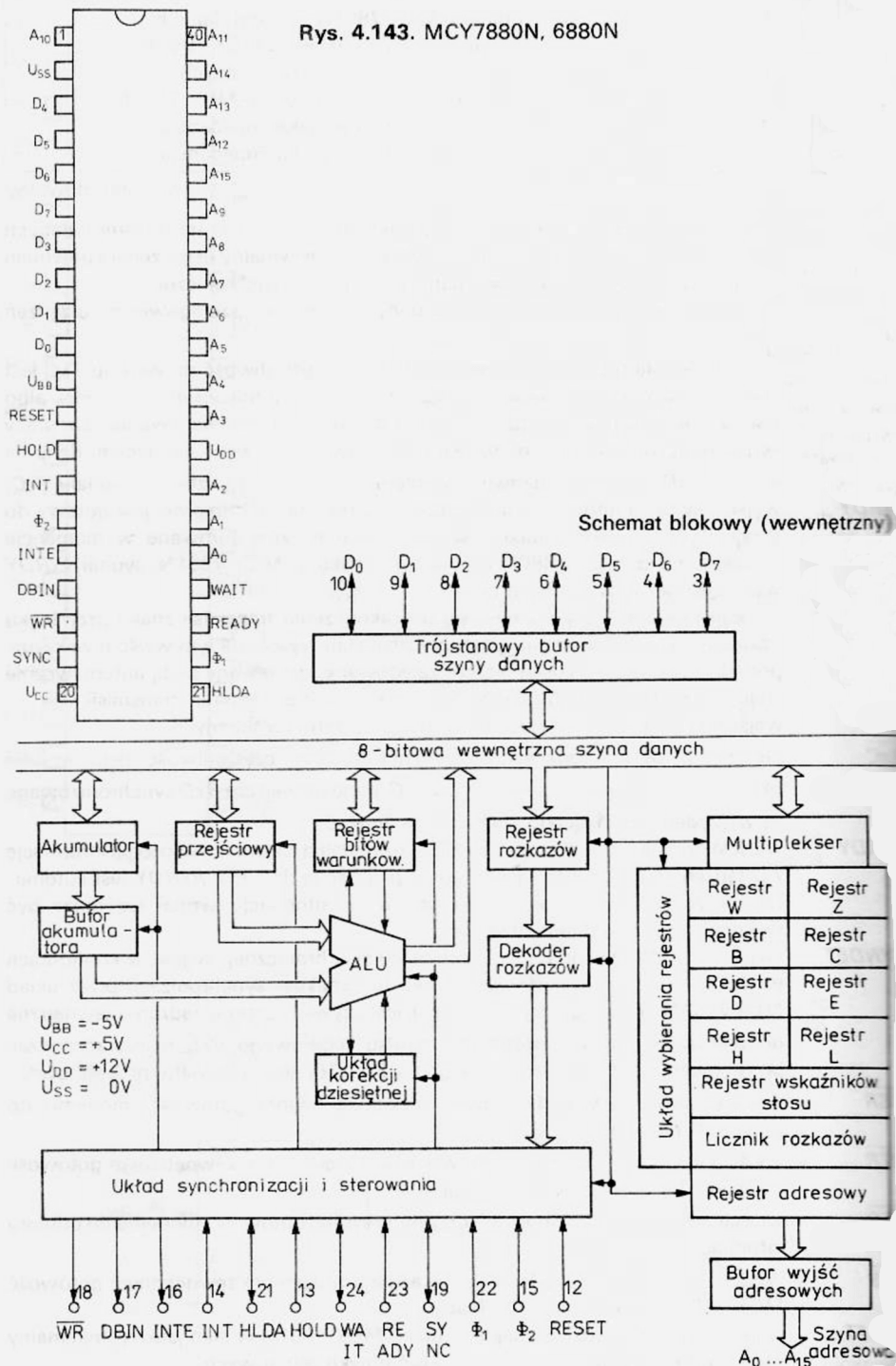
ÓLPRZEWODNIKI



ORADNIK



Rys. 4.143. MCY7880N, 6880N



## Opis wyprowadzeń:

- $A_{15} \dots A_0$  — wyjście trzystanowej szyny adresowej dostarczającej adresy do pamięci ( $8 \times 64$  kbitów) lub wskazującej numer urządzenia we/wy (512 urządzeń zewnętrznych),
- $D_7 \dots D_0$  — wejścia-wyjścia trzystanowej dwukierunkowej szyny danych pozwalające na komunikowanie się jednostki centralnej z pamięcią i urządzeniami we/wy,
- SYNCH** — wyjście sygnału synchronizacji; sygnał określa początek każdego cyklu maszynowego,
- DBIN** — wyjście sygnału wskazującego zewnętrznym urządzeniem stan oczekiwania jednostki centralnej na dane,
- READY** — wejście sygnału wskazującego jednostce centralnej dostępność danych na szynie; sygnał jest używany do synchronizacji CPU z pamięcią lub urządzeniami we/wy, jeżeli po wysłaniu adresu jednostka centralna nie odbierze sygnału na wejściu **READY**, wejdzie w stan oczekiwania (**WAIT**) i pozostanie w nim do momentu pojawienia się stanu wysokiego na linii **READY**,
- WAIT** — wejście sygnału potwierdzającego stan oczekiwania jednostki centralnej,
- $\overline{WR}$  — wyjście sygnału zapisu do pamięci lub transmisji danych do urządzeń wyjścia,  $\overline{WR}$  jest w stanie niskim, gdy dane wychodzące z jednostki centralnej są stabilne,
- HOLD** — wejście sygnału żądającego od jednostki centralnej przejęcia kontroli nad zewnętrzną szyną adresową i szyną danych przez urządzenia zewnętrzne; w następstwie tego sygnału jednostka centralna zawiesza swoją pracę, wprowadza szynę adresową i szynę danych w stan trzeci i wysyła sygnał **HLDA**,
- HLDA** — wejście sygnału potwierdzającego możliwość przejęcia kontroli nad szyną danych i szyną adresową przez urządzenia zewnętrzne (realizacja bezpośredniego dostępu do pamięci),
- INT** — wejście sygnału przerwania określa żądanie przerwania wykonywanego programu; sygnał nie jest akceptowany wówczas, gdy system jest w stanie **HLDA** lub przerzutnik stanu przerwania wyzerowany,
- INTE** — wyjście sygnału określającego stan przerzutnika przerwania, przerzutnik ten jest zerowany samoczynnie po otrzymaniu sygnału **RESET** lub rozpoczęciu obsługi przerwania,
- RESET** — wejście sygnału zerowania, jednostka centralna po odebraniu tego sygnału zeruje licznik rozkazów i przerzutniki sygnałów **INTE** i **HLDA**, nie zerowane są akumulator, rejestr bitów warunkowych, rejestr wskaźników stosu, rejestry ogólnego przeznaczenia; sygnał **RESET** musi być w stanie aktywnym przez minimum 3 cykle zegarowe,
- $\phi_1, \phi_2$  — wejścia sygnałów zegarowych — jedyne wejścia niewspółpracujące z układami TTL,
- $\left. \begin{matrix} U_{SS}, U_{DD} \\ U_{BB}, U_{CC} \end{matrix} \right\}$  wejścia zasilające.